

並列画像理解のハードウェアアーキテクチャ

Hardware Architecture for Parallel Image Understanding

岡崎 信一郎* 藤田 善弘* 許 昭倫*
Shin-ichiro Okazaki Yoshihiro Fujita Sholin Kyo

山下 信行* 天満 勉*
Nobuyuki Yamashita Tsutomu Temma

* 日本電気(株)情報メディア研究所
Information Technology Research Laboratories, NEC Corporation.

1994年5月2日 受理

Keywords: image understanding, image processing, parallel computing, hardware architecture.

1. はじめに

画像理解の研究は1960年代に始まり、1970年代半ばに開始されたDARPAの画像理解プログラムの牽引力も相まって研究活動の幅が拡大された。画像理解は、図形・図面といった2次元図形や、物体・情景といった3次元シーンの状況を把握して判断したり行動するシステムの視覚機能である。一般的な画像理解の構造を単純化すると図1のようになる。それぞれの研究動向と現状をまず概観し、画像理解のハードウェアアーキテクチャとの関連を見る。

高レベル処理は、モデルや拘束条件などの先験的知識と照らし合わせて解釈や判断を導く処理であり、先験的知識の記述方法とそれを用いて妥当な解釈を導くための方法論が研究の中心となっている[Brooks 81]。モデルや先験的知識に基づいてトップダウンな探索や仮説検証を行い、柔軟性や精度向上を図るルールベースによる方法論[Levine 85, Nazif 84]やフレームベースによる方法論[荒川 88, 浅田 90, Hwang 86, McWeown 85, Numao 84]、分散的並列処理環境を目指したブラックボードシステム[Thorpe 88]やメッセージ交換による協調分散的並列システム[渡辺 87, Wesson 81]などが記号処理による推論処理研究と並行して1980年代に進められた。現在、ソフトウェア的手段で機能検証がなされている段階で、画像理解ハードウェアとしての共通アーキテクチャに関してはこれからである。

中レベル画像処理は、低レベル画像処理で得られた画像の特徴からセグメンテーションを行って領域を求めたり、その領域ごとの特徴計測やパターンマッチングを行ったりして画像をシンボリックな表現へ変換する処理である。このレベルの処理は画像理解の応用に依存してさまざまな形態のアルゴリズムが開発されており、ハードウェアには柔軟性と高速性の両方が求められている。

低レベル画像処理はノイズ除去などの前処理と呼ばれる画像補正や、画像に含まれるエッジ、テクスチャや色情報、動き情報、距離情報などのさまざまな特徴抽出を司る部分である。応用によって依存はするが、アルゴリズムの種類や局所処理という処理の形態は比較的固定的である反面、対象データである画素数が多く計算量が膨大となるため、それらの実用化に向けて画像処理用ハードウェアの開発もLSI技術の飛躍的な進歩に支えられて積極的に行われてきた。その結果、画像処理の単純な組合せで実現される限定的な応用に

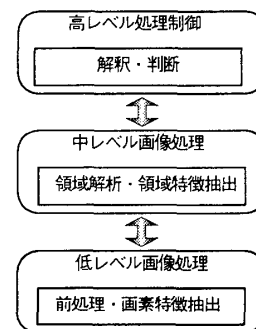


図1 画像理解の内部構造

については実用レベルに達してきている。

画像理解の応用の例として、極限作業ロボット、道路環境の監視をはじめとするさまざまな監視、自動車の予防安全性を高める画像を用いた警報システムなどの社会的ニーズがある。これらの実用化では、上に述べたような画像理解の要素のそれぞれを高速化する必要があるが、動画像環境や複数の画像を同時に扱う環境への対応、多数の画像処理の組合せや繰返しの試行による高精度化など、特に画像処理部のいっそうの高速化が不可欠である。本稿では、以降、画像処理部のハードウェアアーキテクチャについて考察することにする。

ハードウェアで画像処理の高速化を図る手段として、特定アルゴリズムをそのままハードウェアに置き換える方法と、プログラマブルなプロセッサの並列処理による方法がある。前者はアルゴリズムが確定された特定の応用に対して非常に有効であるが、さまざまなアルゴリズムが組み合わされて実現される画像理解のような応用では、ハードウェア化すべきアルゴリズムの種類が多くなり、装置の大規模化、価格の増大につながる。後者の方法は、柔軟性が高いうえ、VLSI技術との親和性も高いことから今後の方法として有望であり、現在の画像処理ハードウェア開発の主流となっている。以下、2章で主に低レベル画像処理の高速化を目指した従来の画像処理システムを概観する。3章では低レベル画像処理を飛躍的に高速化しようとするアプローチと、従来では達成できなかった中レベル画像処理の高速化の取組みを紹介する。4章では画像処理の記述方法からハードウェアの高速アーキテクチャを得ようとする研究を紹介し、最後に画像処理・理解システムの未解決な課題と今後の研究に必要な方向性をまとめる。

2. 従来の画像処理ハードウェア

2次元状の画像全体を均一に扱う低レベル画像処理ではデータ量が膨大であるが画素数分の並列性を持つという特徴があるため、古くからこの部分を高速化すべく、並列性を生かした各種の専用ハードウェアが提案され、構築されている。これらのハードウェアは大別して、(a)低レベル画像処理全般の高速化を目指した高並列システム、(b)広範囲の低・中レベル画像処理の高速処理をコンパクトに実現するためのプログラマブルプロセッサ、(c)特定の低・中レベル処理の高速化を目指したLSIやボード、(d)複数の特定処理モジュールやプログラマブルモジュールを組み合わせたシステ

ムの四つに分類できる。

(a)は、2次元アレー型マルチプロセッサシステムに代表されるもので、プロセッサを2次元格子状に配置する。1ビットプロセッサを画素数分使用する完全並列型システム[Batcher 80, Reddaway 73]や、画素数よりは少ないが、高機能なプロセッサに部分画像の処理を担当させることによって並列処理を行うシステム[Duff 79, Hills 85]などがある。ほとんどの場合、すべてのプロセッサで同一の命令を実行するSIMD (Single Instruction Stream Multiple Data Stream)方式、または、すべてのプロセッサで同一のプログラムを実行するSPMD (Single Program Multiple Data Stream)という方式をとっている。また、プロセッサを1次元状に配置し、各プロセッサに画像の各列の処理を担当させる1次元アレー型も数多く提案されている[Fountain 88, Lea 90, Schmitt 88]。LSI技術の発展とともに処理の高速化が進み、低レベル画像処理ならば動画像レートで複数回適用できるようになっている。

(b)は、可変パイプライン型プロセッサやDSP (Digital Signal Processor) 的なものであり、汎用性を確保しながら画像処理を高速に実行できるような工夫がなされている。例えば、メモリポートやアドレス生成部を三つ持つことにより、データアクセスの高速化を図ったLSI[Horii 86]や、データフロー処理方式によって、処理とメモリアccessの並列性を自然に引き出すことのできるプロセッサ[Temma 85]、複数プロセッサを1次元状に接続し、シストリック的に動作させるプロセッサ[Annaratone 87]などが開発されている。

(c)は、フィルタやヒストグラムやラベリング処理、さらには面積や重心を求める処理などを行うLSIやボードであり、個々のアルゴリズムに最適化した構成をとる[服部 87, 小林 87]。特にフィルタ処理に関しては、古くからさまざまなLSIが開発されており、その代表的な方式に、局所並列型と呼ばれるものがある。これは、例えば 5×5 の大きさのフィルタを適用するとき、フィルタの大きさに相当する25回の積和演算を各画素に対して行うが、この25回の積和演算を並列に実行しようとするものである。これらの専用モジュールは通常、一つの処理が動画像レートである33ms以内に処理を終えることを目標に開発されており、実際ほとんどのものが30msを達成している。このような専用処理モジュールは、目的に必要なモジュールだけをシステムに組み込んで使用するほかに、複数のモジュールをプログラムによって組み合わせて使用できるようにした、(d)のような汎用画像処理システムにも使用

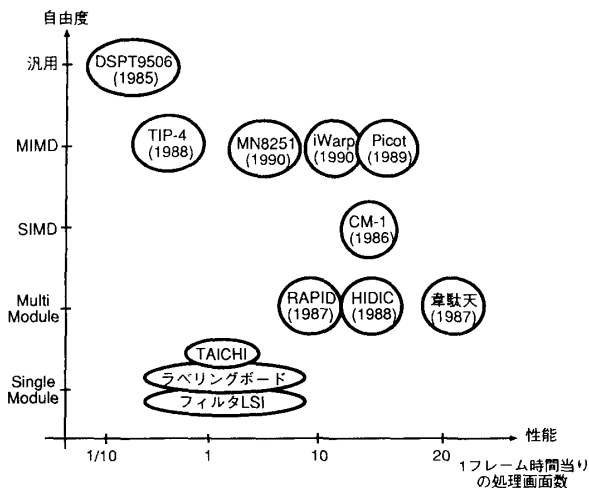


図 2 従来画像処理ハードウェアの処理性能とプログラム自由度

されている。複数のモジュールをバスによって接続し、順に処理を適用するもの[政木 87]や、より柔軟性のあるネットワークでモジュール間を接続し、複数の処理をパイプライン的に実行できるようにしたもの[吉田 88]などがあり、モジュールを組み合わせたパイプライン処理によって動画レートに対応できるようになってきた(図 2)。

3. 並列画像処理ハードウェアの開発動向

これまでの画像処理ハードウェア開発で主に低レベル画像処理の高速化が図られ、動画処理がようやく可能なレベルになってきた。しかしながら、画像理解と呼べるレベルの処理を行うには多数の画像処理の組合せが必要であり、低レベル画像処理のさらなる速度向上と、それに合わせた中レベル画像処理の高速化が望まれている。本章では、VLSI を前提とした高並列処理で低レベル画像処理を飛躍的に高速化しようとする試みと、中レベル画像処理の高速化に向けた並列画像処理ハードウェアを紹介する。

3・1 VLSI 指向アーキテクチャ

近年のデバイス技術の進歩は、メガビットレベルのメモリ容量の集積を可能にし、メモリに演算機能を持たせた機能メモリのメモリ容量も実用レベルに達してきた。機能メモリアーキテクチャを持つチップを代表するものとしてメモリのセル単位に簡単な演算機能を持たせた CAM (Content Addressable Memory) がすでにいくつか開発されている[Koo 70, 小倉 86]。CAM セルのワードごとに論理回路を付け加えた機能メモリ型並列プロセッサアーキテクチャ FMPP (Functional Memory type Parallel Processor) の提

案もされている[安浦 89]。また、機能メモリとしての側面も持つ画像処理用プロセッサも古くから開発され[Batcher 80, Kondo 86]、通常のメモリセルアレーと演算機能から構成されるプロセッシングエレメント (PE) を 1 次元または 2 次元に並べた構造を持つ。これらの機能メモリ型プロセッサではより多くの PE を集積するために SIMD アーキテクチャを持つものが多い。一般に、この手のチップは近傍処理を得意とし、データを遠距離でやり取りする必要のある幾何変換のような処理には向かない。1 次元構成のプロセッサアレーを持つ VLSI の例としては、1 ビット PE を 1024 個集積した SVP (Serial Video Processor) [Childers 90] や 8 ビット PE を 64 個集積した IMAP-2 (Integrated Memory Array Processor) [Fujita 93, Yamashita 94] などが試作されている。また、1 ビット PE を 512 個集積した VIP (VIdeo rate Processor) 1 チップでオプティカルフロー計算が毎秒 10~15 回可能なことが示されている[Danielsson 90]。1 次元構成の利点としては、複数チップ構成システムを構成する際の PE 間接続として、両端の PE を接続するためのピン数しか必要としないことと、多くの PE を 1 チップに集積できるようになったときにもピン数が増えないという利点がある。2 次元構成の例としては、64 個の 1 ビット PE を集積する CAAPP (Content Addressable Array Parallel Processor) [Weems 87] がある。2 次元アレー構成の VLSI チップは、複数チップを接続するために多くのピン数を必要とするが、最大では画素数分の並列度まで拡張可能な利点がある。

ここでは、1 ボード程度の大きさでリアルタイム動画処理を可能にする IMAP-2 を例として紹介する。IMAP-2 は、0.55 μm BiCMOS 2 層アルミ配線プロセス技術を用いて、図 3 に示すように 2 メガビットの SRAM、64 個の 1 次元アレー構成の 8 ビットプロセッサおよび 2 系統の画像入出力用シフトレジスタを 1 チップに集積している。このように、画像全体を保持するのに十分なメモリとプロセッサアレーを集積することで、プロセッサ・メモリ間で広いバンド幅を確保するとともにチップ外部とのデータのやり取りを極力抑えることで性能を上げている。高速並列データ転送、SIMD 型並列処理、画像入出力を同時に行うことが可能であり、40 MHz のピーク動作時には、2.56 GIPS (Giga Instruction Per Second) の性能を持つプロセッサアレー部と 1.28 GIPS の性能を持つメモリアレー部の並行動作によって、チップ全体で 3.84 GIPS のピーク性能を持つ。8 個の IMAP を用いることによって、512 \times 512 の大きさの画像を八面保持できるメモリ

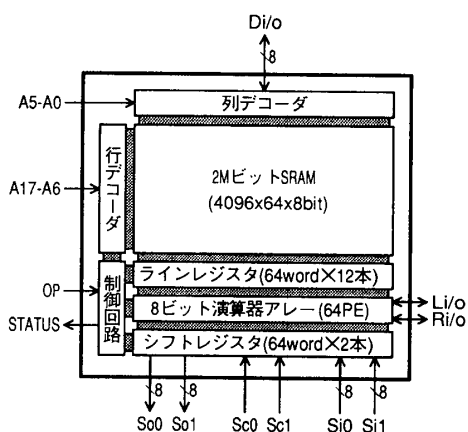


図3 メモリ型高速画像処理プロセッサ IMAP-2
[Yamashita 94]

容量を持つ512並列画像処理システムの構築が可能となっている。

上述したアーキテクチャは低レベル画像処理を高機能なメモリとして実現しようとするものであるが、プロセッサアレーと画像センサとの高集積化を図ったスマートセンサも提案されている。詳細については文献を参照されたい[Astroem 92, Astroem 93]。

3・2 中レベル並列画像処理アーキテクチャ

画像処理における中レベル画像処理は低レベル画像処理で得られた特徴を用いて、セグメンテーションを行ったり、セグメンテーションされた領域ごとに上位の特徴抽出や認識をする処理である。低レベル画像処理がすべての画素または局所領域に均一な処理を行う画素並列であるのに対し、中レベル画像処理では、各プロセッサから見たとき、同じ処理であるが処理領域が異なったり(領域並列)、同じ領域であるが処理が異なったり(タスク並列)する構造的特徴があるため、SIMD方式よりMIMD (Multiple Instruction Stream Multiple Data Stream) 方式のほうが親和性が良いとされる。また、低レベル画像処理に比べてアルゴリズムが多様で定型化されておらず、実行可能な処理の範囲やプロセッサへの処理の割当てに対する柔軟性が要求される。このような理由により、現在開発中の中レベル画像処理の高速化を狙ったシステムでは汎用MPUやDSPを多数使用したMIMD型構成、あるいは低レベル画像処理と中レベル画像処理とをバランス良く高速化するために、MPU/DSPの配下にSIMDプロセッサを持たせたSIMD-MIMD階層形態のシステムが主流である。ここでは、提案されているシステムで中レベル画像処理を特徴づけていると考えられるMIMD型構成の部分について紹介する。

上に述べた中レベル画像処理の領域並列性とタスク

並列性のどちらを重点とするかによって、プロセッサ間のデータ共有と交換の方式に違いが現れる。すなわち、領域並列性を重点とした場合には、高速な隣接領域間の情報の伝搬や結果の統合などが必要であり、隣接プロセッサ間で独立した転送経路を持つメッシュ・トーラス型が有効である。一方、タスク並列を重視した場合には、プロセッサへのタスクの割当ての自由度や、タスク間の同期やパラメータ分配時のレイテンシを小さくすることが重要であるため、プロセッサ間の転送路上の距離に差がないバスや共有メモリを介したデータ交換が有効である。この観点で近年に提案されたいくつかのシステムを分類して紹介する。

(1) メッシュ・トーラス型

この形態のシステムは2次元メッシュあるいはトーラスを基本の形とするが、中レベル画像処理ではアルゴリズムが要求するデータ転送トポロジーが低レベル画像処理より多様になるため、固定的な2次元メッシュではなく、データ転送トポロジーの隣接関係に合わせてプロセッサの隣接関係を再構成可能としたものが多いのが特徴である。 $N \times N (N=2^l)$ 個のプロセッサに対して、任意の $k (k \geq 0)$ に対して、サイズ $(N/2^k) \times (N/2^k)$ の2次元トーラス結合が $2^k \times 2^k$ 個あるシステムを構成できる再帰トーラス結合アーキテクチャが提案されており[Matsuyama 93]、処理の過程で通信距離が変化するアルゴリズムを効率良く実行できる形態である。また、アルゴリズムが要求するデータ交換のトポロジーへ柔軟に結合を再構成可能なシステムとして、DSPが備える通信リンクに独自のプログラマブルスイッチを組み合わせ、hyper-cube, mesh, shuffle-exchangeが実現できるものが提案されている[Hou 93]。

(2) バス・共有メモリ型

バスによる結合はプロセッサ間の通信距離が等しくプロセッサへのタスク割当ての自由度が高いが、同時に転送できるデータ量に限りが出てくるため、階層化構造や他の転送手段の併用が提案されている。IUA (Image Understanding Architecture) [Weems 93]の中レベルプロセッサアレーでは、四つのプロセッサからなるクワスタ (Quadnode) 内のリング状の通信チャンネルと共有メモリによるデータ交換通信と、Quadnode間のバス結合 (DMA Transfer) とが併用されている。これはセマフォや少量のパラメータなどの頻度は少ないがレイテンシが小さいことが要求されるデータ交換と、レイテンシよりは転送バンド幅が重要となる2種類の転送が、中レベル画像処理に共通して必要であるとの知見に基づいている。また、Proteusではバ

ス、クロスバ、ハイパーキューブの3階層で構成されている[Haralick 93].

バス結合では多数のプロセッサを相互に接続することは困難であるが、処理方法を想定してデータの流に合った通信手段の階層構成をとる例も多い。エッジからの3次元構造復元を主な処理としたCAPITANでは通常のバスで接続されたクラスタをリングバスで接続している[Vaillant 89]. また、部分画像を処理するモジュールを複数個画像バスに接続し、それぞれのモジュールがROI (Region of Interest) の画像を取り込んで処理する方式[久保田 90, Martinet 91]もこのタイプにあげられる。

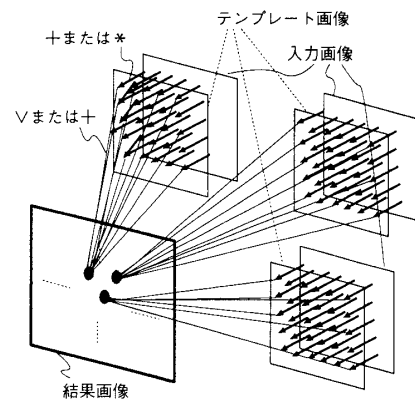
4. 面型画像処理

以上見てきたような、SIMDやMIMDの枠組みのなかで高速画像処理ハードウェアを構築しようとする動きとは別に、これまで個別問題向きに研究者の直観によって開発されてきた画像処理ソフトウェアを体系化、モデル化することで、そこから画像処理ハードウェアアーキテクチャ構築のための明確な指針を得ようとする研究がある。本章ではそうした研究の動向を紹介する。

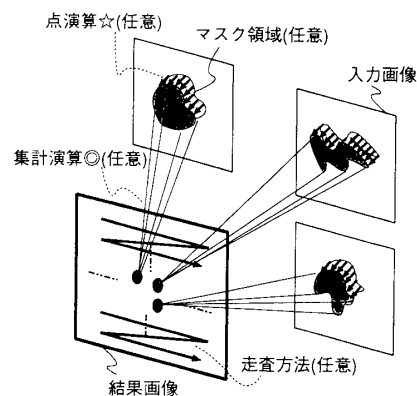
従来の画像処理アルゴリズムは多くの場合、画像の各画素に対する処理の形で記述されてきた。しかし、そもそも画像はその各画素よりも、画素の集合体である画像自身に意味があり、画像処理アルゴリズムは本来この画像全体を一つのオペランドとした演算で記述するのが望ましい。ここではそうした記述による画像処理を「面型画像処理」と呼ぶことにする。面型画像処理の目標は画像処理アルゴリズムの記述の簡潔化にあると同時に、画像処理ハードウェアを構築する際の指針となるような、画像処理の基本演算子の発見にある。複雑な画像処理手法をこうした基本演算子によって組織的に合成し、かつ従来のALUとは一線を画した、専用の演算器による画像処理ハードウェアで、高速に実行させるのが面型画像処理の最終目標である。

面型画像処理に関連した研究の典型例にMathematical Morphology (MM: 数形形態学) の研究[Haralick 87, 間瀬 91, Serra 82]およびImage Algebra (IA: 画像代数学) [Ritter 87a, Ritter 90]の研究がある。その他画像処理のモデル化[松山 86, 鳥脇 88, 横井 77], 画像多項式[Agui 82, 井宮 86, 中嶋 84, Qian 92], 行列による画像演算表現[宮崎 92, Ritter 92]なども画像処理手法の本質を探りその体系化をめざす研究として位置づけられる。以下、参考にMMと

IAで提案されている基本演算子を紹介する。MMはDilation (膨張)とErosion (収縮)という二つの基本演算子を持ち、 A と B を画像、 A_b を画像 A の全画素を画素 b の座標値分だけ平行移動する操作とすると、2値画像の場合、Dilationとは B の平行移動 B_c が A と交わるような c の軌跡、そしてErosionとは B_c が A に含まれるような c の軌跡を意味する。一方、IAは3種類のテンプレート演算子と呼ばれる基本演算子を持つ。それらによる演算は、結果画像の各画素点の一つずつテンプレート画像を定義したうえ、入力画像とテンプレート画像の全対応画素間の加算(+)あるいは乗算(*), およびそれに続く演算結果を統合する加算(+)あるいは最大値演算(\vee)で各結果画素値を並列に求めるものである[図4(a)]. MMは、その基本演算子が持つ代数的性質[Haralick 87]に大きな特徴があり、これまでそれらの組合せによる演算が、特徴抽出、形状記述、形状認識などの応用に有効であることが示され、今後その応用範囲の広がり注目される。それに対しIAは、そのテンプレート演算子が従来のマスク演算を一般化し、画像処理における局所的処理と大局的処理を同じ枠組みのなかで記述可能にした点に大きな特徴がある。ただし、テンプレート演算の定義か



(a) IAでのテンプレート演算



(b) 点集計型演算

図4 面型画像処理の例

ら大局的処理に関してはその1回の演算量がサイズ $N \times N$ の入力画像に対し $O(N^4)$ となることや、ある処理に対応したテンプレート画像の記述を得るのは必ずしも容易でないなど、まだ解決すべき課題が存在する。

一方、指定された任意のマスク領域内の画素間の点演算と、それに続くそれらの結果を集計する演算の任意の組合わせからなる点集計型演算子に基づく面型画像処理言語を設計し、それにより基本演算子の発見を進めている研究がある[許 94][図 4(b)]。その場合、例えば点演算が☆で集計演算が◎の場合の点集計型演算子を☆◎と表現すると、一般に Dilation や Erosion はそれぞれ $*\vee$, $*\wedge$ (ただし \vee, \wedge はそれぞれ最大値, 最小値演算子), また IA の三つの基本演算子はそれぞれ $*+$, $+\vee$, $*\wedge$ と表現される[Ritter 87b, Ritter 90]。これまでこうした面型画像処理言語による既存アルゴリズムの書換えの結果から、点集計型演算のなかでも特に $*$, $+$ はその応用範囲が広く、マスク処理、線形変換をはじめ、画像修復や弛緩法を用いたエネルギー関数の最小化による画像処理も効率良く記述可能であることや、特殊なものとして \wedge (すなわち、点演算はビットごとの XOR, 集計演算はビットごとの AND からなる点集計型演算子) を含む反復演算が画像の2の n 乗倍拡大($n \geq 1$)を実現できることが調べられている[許 94]。

5. おわりに

画像理解が有用となる応用の局面を考えてみると、

◇ 参 考 文 献 ◇

- [Agui 82] Agui, T., Nakajima, M. and Arai, Y.: An Algebraic Approach to the Generation and Description of Binary Pictures, *IEEE Trans. PAMI*, Vol. PAMI 4, No. 6, pp. 635-641 (1982).
- [Annaratone 87] Annaratone, M., Arnould, E., Gross, T., Kung, H. T., Lam, M., Menzilcioglu, O. and Webb, J. A.: The Warp Computer: Architecture, Implementation, and Performance, *IEEE Trans. Computer*, Vol. C-36, No. 12, pp. 1523-1538 (1987).
- [荒川 88] 荒川, 尺長, 金子: 仮説検証モジュールの階層構成によるシーン理解, 情処学研資, CV 56-3 (1988).
- [浅田 90] 浅田, 白井: マルチセンサ情報を動的に統合することによる道路シーンの解釈のモデリング, 情処学論, Vol. 31, No. 12, pp. 1743-1754 (1990).
- [Astroem 92] Astroem, A., Forchheimer, R.: MAPP2200 Smart Vision Sensor: Programmability and Adaptivity, *Proc. IAPR Workshop on Machine Vision Applications '92*, pp. 17-20 (1992).
- [Astroem 93] Astroem, A., Forchheimer, R. and Ingelhart, P.: An Integrated Sensor/Processor Architecture Based on Near Sensor Image Processing, *CAMP'93*, pp. 147-154 (1993).
- [Batcher 80] Batcher, K. E.: Design of a Massively Parallel Processor, *IEEE Trans. Comput.*, Vol. C 29, No. 9, pp. 836-840 (1980).
- [Brooks 81] Brooks, R. A.: Symbolic Reasoning Among 3-D Models and 2-D Images, *Artif. Intell.*, Vol. 17, Nos. 1-3, pp. 285-348 (1981).
- [Childers 90] Childers, J., Reinecke, P., Miyaguchi, H., Yamamoto, S., Takahashi, Y., Yaguchi, Y. and Takeyasu, M.: SVP: Serial Video Processor, *Custom Integrated Circuits Conference*, 17.3.1 (1990).
- [Crimmins 85] Crimmins, T. R. and Brown, W. M.: Image Algebra and Automatic Shape Recognition, *IEEE Trans. Aerospace and Electronic Systems*, Vol. 21, No. 1, pp. 60-69 (1985).

(1)目視検査のように機械的に数をこなさなければならない、(2)危険な場所である、のような従来からいわれてきた要因のほかに、今後は(3)超高速な判断が要求される、(4)同時に処理すべき画像情報が多く精度も要求される、のような人間の視覚能力を超えた局面への対処が必要であろう。したがって画像理解の実用化には、アルゴリズム的に未解決な問題の解法の研究に加えて、

- 飛躍的な速度向上をもたらす面型画像処理のような計算論の確立
- センサフュージョンなどの情報統合の手法に基づいたハードウェアの基本演算の発見

が今後のハードウェアに課せられた課題であると考えられる。

本論文では、並列画像理解のハードウェアについて高速化が不可欠である画像処理部を中心に紹介した。VLSI に多数の小規模プロセッサを集積して低レベル画像処理を高速化するアプローチや、処理の局所性や均一性が高い低レベル画像処理を SIMD 方式で高速化し、領域並列性のある中レベル画像処理を MIMD 方式で高速化する手法は現実的なアプローチとして今後も研究開発が進むであろう。それに加えて上に述べたような課題が解決されれば、従来では実用にならなかったような、計算量が多いが精度や機能が高いアルゴリズムも採用可能になり、画像処理や画像理解の有用性がいっそう高まるものと期待される。

- [Danielsson 90] Danielsson, P., *et al.*: Single-chip High-speed Computation of Optical Flow, *Proc. IAPR Workshop on Machine Vision Applications '90*, pp. 331-335 (1990).
- [Duff 79] Duff, M. J. B.: Review of the CLIP Image Processing System, *Proc. NCC*, p. 1055 (1979).
- [Fountain 88] Fountain, T. J., Matthew, K. N. and Duff, M. J. B.: The CLIP7A Image Processor, *IEEE Trans. PAMI*, Vol. PAMI-10, No. 3, pp. 310-319 (1988).
- [Fujita 93] Fujita, Y., Yamashita, N. and Okazaki, S.: IMAP: Integrated Memory Array Processor—Toward a GIPS Order SIMD Processing LSI—, *IEICE Trans. Electron.*, Vol. E76-C, No. 7 (1993).
- [Haralick 87] Haralick, R. M., Sternberg, S. R. and Zhuang, Z.: Image Analysis Using Mathematical Morphology, *IEEE Trans. PAMI*, Vol. PAMI-9, No. 4, pp. 532-550 (1987).
- [Haralick 93] Haralick, R. M., *et al.*: Proteus: Control and Management System, *Proc. CAMP'93*, pp. 101-108 (1993).
- [服部 87] 服部, 野々村: ビデオ・レートで連続画像処理可能な高速ラベリングプロセッサ, 第18回画像工学コンファレンス, pp. 295-298 (1987).
- [Hills 85] Hills, W. D.: *The Connection Machine*, MIT Press, Cambridge, MA (1985).
- [Horii 86] Horii, S., *et al.*: 32-bit Image Processor T9506 and its Applications, *IEEE Acoustics, Speech and Signal Society Workshop on VLSI Processing*, pp. 339-347 (1986).
- [Hou 93] Hou, K. M. and Belloum, A., *et al.*: A reconfigurable and flexible parallel 3D vision system for a mobile robot, *Proc. CAMP'93*, pp. 215-221 (1993).
- [Huang 89] Huang, K. S., Jenkins, B. K. and Sawchuk, A. A.: Binary Image Algebra and Optical Cellular Logic Processor Design, *CVGIP*, No. 45, pp. 295-345 (1989).
- [Hwang 86] Hwang, V., Davis, L. and Matsuyama, T.: Hypothesis Integration in Image Understanding System, *CVGIP*, Vol. 6, pp. 321-371 (1986).
- [井宮 86] 井宮, 小寺, 中村, 荒木: 多項式の性質を利用した画像記述法, 信学技報, PRU 86-99, pp. 9-16 (1986).
- [小林 87] 小林ほか: 高性能画像処理LSI, テレビジョン学会全大 (1987).
- [Kondo 86] Kondo, T., Tsuchiya, T., Kitamura, Y., Sugiyama, Y. and Nakashima, T.: Pseudo MIMD Array Processor-AAA 2, *13th Int. Symp. on Computer Architecture*, pp. 330-337 (1986).
- [Koo 70] Koo, J. T.: Integrated Circuit Content-Addressable Memories, *IEEE J. Solid-State Circuits*, Vol. SC-5, No. 5, pp. 208-215 (1970).
- [久保田 90] 久保田, 福井, 石川, 溝口: 動物体の認識・識別をめざしたビジョンプロセッサの構想と試作モデルの開発, 情処学研資, CV 64-14 (1990).
- [許 94] 許: 面型画像処理言語の提案一点集計型演算に基づく並列画像処理用語2 DC -, 信学技報, CPSY 94-45, pp. 33-40 (1994).
- [Lea 90] Lea, R. M. and Krikelis, A.: ASP modules: cost effective building blocks for real-time computer vision, Parallel Architecture for Image Processing, *SPIE*, Vol. 1246, pp. 45-56 (1990).
- [Levine 85] Levine, M. and Nazif, A.: Rule-Based Image Segmentation: A Dynamic Control Strategy Approach, *CVGIP*, Vol. 32, pp. 104-126 (1985).
- [Martinet 91] Martinet, P., Rives, P., Fickinger, P. and Borrelly, J. J.: Parallel Architecture for Visual Servoing Applications, *Proc. CAMP'91*, pp. 407-418 (1991).
- [政本 87] 政本, 堀, 内野, 岡野: リアルタイム画像処理システム—RAPID—, 情処学研資, CV 50-2 (1987).
- [間瀬 91] 間瀬, 上田: モルフォロジーと画像解析(1), 信学誌, Vol. 74, No. 2, pp. 166-174 (1991).
- [松山 86] 松山: 画像処理演算の複合的合成, 情処学研資, CV 43, pp. 1-8 (1986).
- [Matsuyama 93] Matsuyama, T., Asada, N. and Aoyama, M.: Parallel Image Analysis on Recursive Torus Architecture, *Proc. CAMP'93*, pp. 202-214 (1993).
- [McKeown 85] McKeown, D., Harvey, W. Jr. and McDermott, J.: Rule-Based Interpretation of Aerial Imagery, *IEEE Trans. PAMI*, Vol. PAMI-7, No. 5, pp. 570-585 (1985).
- [宮崎 92] 宮崎: 2次元信号処理における演算子の表現について, 信学技報, DSP-92, pp. 49-54 (1992).
- [中嶋 84] 中嶋, 安居院, 新井: 画像多項式のコンピュータグラフィックスへの応用, 画像電子学会誌, Vol. 13, No. 1, pp. 19-27 (1984).
- [Nazif 84] Nazif, A. and Levine, M.: Low Level Image Segmentation: An Expert System, *IEEE Trans. PAMI*, Vol. PAMI-6, No. 5, pp. 555-577 (1984).
- [根岸 89] 根岸ほか: ITI Series 151 とその応用, *O plus E*, No. 120, pp. 103-110 (1989).
- [Numao 84] Numao, M. and Ishizuka, M.: A Frame-Like Knowledge Representation System for Computer Vision, *Proc. 7th ICPR*, pp. 1128-1130 (1984).
- [小倉 86] 小倉, 山田: 連想メモリ, 情報処理, Vol. 27, No. 6, pp. 593-600 (1986).
- [Qian 92] Qian, K. and Bhattacharya, P.: A Template Polynomial Approach for Image Processing and Visual Recognition, *Pattern Recognition*, Vol. 25, No. 12, pp. 1505-1515 (1992).
- [Reddaway 73] Reddaway, S. F.: DAP—A Distributed Array Processor, *Proc. 1st Annual Symp. on Computer Architecture*, pp. 61-65 (1973).
- [Ritter 87a] Ritter, G. X.: Image Algebra Techniques for Parallel Image Processing, *J. Parallel and Distributed Computing*, Vol. 4, pp. 7-44 (1987).
- [Ritter 87b] Ritter, G. X.: Beyond Mathematical Morphology, *SPIE*, Vol. 845, Visual Communications and Image Processing 2, pp. 260-269 (1987).
- [Ritter 90] Ritter, G. X., Wilson, J. N. and Davidson, J. L.: Image Algebra: An Overview, *Computer Vision, Graphics, and Image Processing*, No. 49, pp. 297-331 (1990).
- [Ritter 92] Ritter, G. X. and Zhu, H.: The Generalized Matrix Product and its Applications, *J. Mathematical Imaging and Vision*, Vol. 1, pp. 201-213 (1992).
- [Schmitt 88] Schmitt, L. A.: The AIS-5000 Parallel Processor, *IEEE Trans. PAMI*, Vol. PAMI-10, No. 3, pp. 320-330 (1988).
- [Serra 82] Serra, J.: *Image Analysis and Mathematical Morphology*, London: Academic (1982).
- [Temma 85] Temma, T., Iwashita, M., Matsumoto, K., Kurokawa, H. and Nukiyama, T.: Data Flow Processor Chip for Image Processing, *IEEE Trans. Electron Devices*, Vol. ED-32, No. 9, pp. 1784-1791 (1985).
- [Thorpe 88] Thorpe, C., Herbert, M., Kanade, T. and Shafer, S.: Vision and Navigation for the Carnegie-Mellon Navlab, *IEEE Trans. PAMI*, Vol. 10, No. 3, pp. 362-373 (1988).
- [鳥脇 88] 鳥脇: 画像理解のためのデジタル画像処理(1), pp. 37-56, 昭晃堂 (1988).
- [Vaillant 89] Vaillant, R., Deriche, R. and Faugeras, O.: 3D Vision on the Parallel Machine CAPITAN, *Proc. MIV-89*, pp. 326-331 (1989).
- [渡辺 87] 渡辺, 大田, 池田: 画像理解のための並列処理環境, 信学技報, PRU 87-76 (1987).

- [Weems 87] Weems, C. C., Levitan, S. P., Hanson, A. R. and Riseman, E. M.: The Image Understanding Architecture, *Proc. of Image Understanding Workshop*, pp. 483-496 (1987).
- [Weems 93] Weems, C. C., Jr.: The Second Generation Image Understanding Architecture, *Proc. CAMP'93*, pp. 276-285 (1993).
- [Wesson 81] Wesson, R. Hayes-Roth, F., et al.: Network Structure for Distributed Situation Assessment, *IEEE Trans. SMC*, Vol. SMC-11, No. 1, pp. 5-23 (1981).
- [Yamashita 94] Yamashita, N., et al.: A 3.84GIPS Integrated Memroy Array Processor LSI with 64 Processing Elements and 2Mb SRAM, *ISSCC Dig. Techn. Pap.*, pp. 260-261 (1994).
- [安浦 89] 安浦, 辻本, 田丸: 組合わせ問題に対する機能メモリ型並列プロセッサアーキテクチャ, *信学論*, Vol. J72-A, No. 2, pp. 222-230 (1989).
- [横井 77] 横井, 鳥脇, 福村: 標準化図形の演算系の代数的構造とその応用(1)一定式化および基礎的な諸演算について, *信学論*, Vol. J60-D, No. 6, pp. 411-418 (1977).
- [吉田 88] 吉田, 後藤, 佐々木: カラー動画画像処理システム: FIVIS/VIP, *FUJITSU*, Vol. 39, No. 3, pp. 206-213 (1988).

 著者紹介

岡崎 信一郎

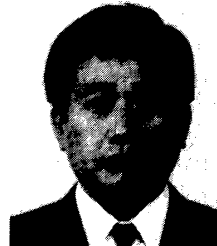

1982年大阪大学工学部電子工学科卒業。1984年同大学院修士課程修了。同年、日本電気(株)入社。現在、情報メディア研究所主任。高速画像処理システムの研究開発に従事。電子情報通信学会会員。

山下 信行


1989年京都大学工学部電気工学第2学科卒業。1991年同大学院修士課程修了。同年、日本電気(株)入社。現在、情報メディア研究所勤務。高速画像処理LSIの研究開発に従事。情報処理学会会員。

藤田 善弘


1984年京都大学工学部電子工学科卒業。1986年同大学院修士課程修了。同年、日本電気(株)入社。現在、情報メディア研究所主任。並列画像処理システムの研究開発に従事。情報処理学会会員。

天満 勉


1969年大阪大学工学部電子工学科卒業。同年、日本電気(株)入社。現在、情報メディア研究所部長。パターン認識、高速画像処理システムの研究開発に従事。電子情報通信学会会員。

許 昭倫


1987年東京大学工学部精密機械工学科卒業。1989年同大学院修士課程修了。同年、日本電気(株)入社。現在、情報メディア研究所勤務。並列画像処理言語の研究開発に従事。情報処理学会会員。